

#2

11000 U.S. PTO
09/839370
04/23/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masaru IIDA**

Serial No.: **Not Yet Assigned**

Filed: **April 23, 2001**

For: **DATA SEQUENCE CONVERSION CIRCUIT AND PRINTER USING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

April 23, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-402150, filed December 28, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP



William G. Kratz, Jr.
Reg. No. 22,631

Atty. Docket No.: 010570
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WGK/ll

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年12月28日

出 願 番 号

Application Number:

特願2000-402150

出 願 人

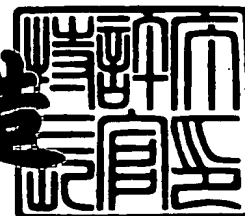
Applicant (s):

富士通株式会社

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3011761

【書類名】 特許願

【整理番号】 0051904

【提出日】 平成12年12月28日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 5/00
B41J 2/45

【発明の名称】 データ列変換回路及びそれを用いたプリンタ

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 飯田 優

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ列変換回路及びそれを用いたプリンタ

【特許請求の範囲】

【請求項 1】 それぞれ異なるデータ幅を有する複数の入力データ列のうち任意の入力データ列を入力し、所定のデータ幅を有する出力データ列に変換して出力するデータ列変換回路であって、

入力データ列を保持する第 1 の並列シフトレジスタと、

前記第 1 の並列シフトレジスタによって保持されるデータを入力し、予め定められた複数の規則の中から制御信号により選択された規則に従って該入力データを分配出力するスイッチマトリックスと、

前記スイッチマトリックスから出力されるデータを入力し、所定のデータ幅を有するデータ列として出力する第 2 の並列シフトレジスタと、

を具備するデータ列変換回路。

【請求項 2】 前記複数の入力データ列のデータ幅の各々を W_n ($n = 1, 2, 3, \dots$) とし、前記出力データ列のデータ幅を W_o としたとき、前記第 1 の並列シフトレジスタは、 W_n ($n = 1, 2, 3, \dots$) のうちの最大値に少なくとも等しいデータ幅を有し、かつ、 W_n ($n = 1, 2, 3, \dots$) と W_o との最小公倍数を W_n で割った商 Q_{I_n} ($n = 1, 2, 3, \dots$) のうちの最大値に少なくとも等しい段数を有する、請求項 1 に記載のデータ列変換回路。

【請求項 3】 前記複数の入力データ列のデータ幅の各々を W_n ($n = 1, 2, 3, \dots$) とし、前記出力データ列のデータ幅を W_o としたとき、前記第 2 の並列シフトレジスタは、 W_n ($n = 1, 2, 3, \dots$) と W_o との最小公倍数を W_o で割った商 Q_{O_n} ($n = 1, 2, 3, \dots$) のうちの最大値に少なくとも等しい段数を有する、請求項 1 に記載のデータ列変換回路。

【請求項 4】 入力データ列のデータ幅を W_n とし、出力データ列のデータ幅を W_o とし、 W_n と W_o との最小公倍数を W_n で割った商を Q_{I_n} とし、 W_n と W_o との最小公倍数を W_o で割った商を Q_{O_n} としたとき、前記スイッチマトリックスは、前記第 1 の並列シフトレジスタの入力側第 1 段から第 Q_{I_n} 段までの部分に入力保持された $W_n \times Q_{I_n}$ 個のデータが前記第 2 の並列シフトレジスタ

タの出力側第 1 段から第 Q O n 段までの部分に入力されるべく分配出力する、請求項 1 に記載のデータ列変換回路。

【請求項 5】 ジャギー補正回路とライン状のヘッドとの間に、請求項 1 から請求項 4 までのいずれか 1 項に記載のデータ列変換回路を備えるプリンタ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、異なるデータ幅を有する複数の入力データ列を所定のデータ幅の出力データ列に変換するデータ列変換回路及びそれを用いたプリンタに関する。

【 0 0 0 2 】

【従来の技術】

L E D プリンタは、電子写真式の画像形成装置の一形態であり、感光ドラムに対する光の画像情報の露光手段として L E D アレイヘッドを使用するものである。このような L E D アレイヘッドは、L E D 素子が所定のピッチで一行に配列されている L E D アレイと、L E D 素子の一個に対応する一個の画像データを記憶する記憶素子が L E D 素子と同数設けられているシフトレジスタと、そのシフトレジスタに記憶された画像データに従って L E D 素子を発光させる L E D 駆動回路と、で構成される。

【 0 0 0 3 】

L E D プリンタの高速化、高解像度化及び印刷幅の拡大に伴い、単位時間内に L E D アレイヘッドのレジスタ部へ転送する画像データが増大する。レジスタ部への画像データ転送を、シフトレジスタの転送クロック周波数を上昇させることなく高速化するために、連続した複数の L E D 素子に対応する画像データを 1 単位として並列入力するパラレル（並列）シフトレジスタ構成を採用した L E D アレイヘッドが採用されている。

【 0 0 0 4 】

L E D プリンタの印刷画素密度は L E D 素子の配列ピッチで決定されるが、特開平 7 - 1 5 6 4 4 2 号公報には、複数の異なる解像度の最小公倍数となる解像度の画素ピッチで L E D 素子を配列した L E D アレイを使用する L E D プリンタ

が開示されている。例えば、解像度 240 d p i, 300 d p i, 400 d p i の画像データを、その解像度の最小公倍数である 1200 d p i の L E D アレイヘッドで印刷するものである。

【0005】

さらに、この公報では、低解像度印刷データの画素単位が複数の L E D 素子で構成されることを利用し、上記画素単位を構成する L E D 素子を個別に選択的に点灯又は消灯させることにより、注目画素の周辺に小さい印刷ドットを付加し又は注目画素から小さい印刷ドットを削除するように制御する L E D プリンタが開示されている。すなわち、ここに開示された L E D プリンタは、低解像度画像の印刷時に生じるギザギザ状のジャギー (j a g g y) を補正する機能を備えるものである。

【0006】

【発明が解決しようとする課題】

240 d p i, 300 d p i, 400 d p i の低解像度印刷データを、その解像度の最小公倍数である 1200 d p i の L E D アレイヘッドを用いて印刷する L E D プリンタにおいて、240 d p i 印刷画像データの 1 ドットは 1200 d p i の印刷ドット 5 個で構成され、300 d p i 印刷画像データの 1 ドットは 1200 d p i の印刷ドット 4 個で構成され、400 d p i 印刷画像データの 1 ドットは 1200 d p i の印刷ドット 3 個で構成されることになる。この L E D プリンタに前述のジャギー補正を適用すると、ジャギー補正回路は、240 d p i, 300 d p i, 400 d p i の低解像度印刷データの注目ドット位置における印刷ドット補正により、それぞれ 5 個、4 個、3 個の高解像度印刷ドットパターンを決定及び出力する。すなわち、ジャギー補正回路から出力されるデータの 1 単位は、入力される低解像度印刷画像データの解像度により、それぞれ異なったものとなる。

【0007】

ここで、1200 d p i の L E D アレイヘッドとして、パラレルシフトレジスタ構成を採用した L E D アレイヘッドが採用されている場合、L E D アレイヘッドの並列入力のデータ幅と、ジャギー補正回路で出力される印刷ドットパターン

の幅とは、必ずしも一致しない。したがって入力画像データの解像度に応じて変わるジャギー補正回路の出力データ列を、LEDアレイヘッドへの並列入力のデータ幅のデータ列に変換するデータ列変換が必要となる。

【0008】

データ列変換として、ジャギー補正回路の出力データをパラレル／シリアル(parallel-to-serial)変換するPS変換回路と、PS変換された出力をLEDアレイヘッドの並列入力データ幅に合わせてシリアル／パラレル(serial-to-parallel)変換するSP変換回路とを備え、適切な制御信号(クロック信号)を与えることにより、データ列変換回路を構成することができる。

【0009】

しかしながら、上記構成のデータ列変換回路では、印刷ドットデータが一旦シリアルデータに変換されるため、高解像度印刷ドットデータをシリアル転送していることと等価となる。これは、データ列変換回路に高速動作するシフトレジスタが必要となり、シフトレジスタの転送クロック周波数をあげることなく高速化を図るべく印刷ドットデータを並列入力としたパラレルシフトレジスタ構成のLEDアレイヘッドを採用した利点を阻害するものである。

【0010】

本発明は、上述した問題点に鑑みてなされたものであり、その目的は、複数の異なったデータ幅の入力データ列を、シリアルデータに変換することなく、所定のデータ幅の出力データ列に変換するデータ列変換回路を提供することにある。また、本発明は、かかるデータ列変換回路を用いたLEDプリンタを提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するために、本発明によれば、それぞれ異なるデータ幅を有する複数の入力データ列のうち任意の入力データ列を入力し、所定のデータ幅を有する出力データ列に変換して出力するデータ列変換回路であって、入力データ列を保持する第1の並列シフトレジスタと、前記第1の並列シフトレジスタによって保持されるデータを入力し、予め定められた複数の規則の中から制御信号によ

り選択された規則に従って該入力データを分配出力するスイッチマトリックスと、前記スイッチマトリックスから出力されるデータを入力し、所定のデータ幅を有するデータ列として出力する第2の並列シフトレジスタと、を具備するデータ列変換回路が提供される。

【0012】

上述の如く構成されたデータ列変換回路では、第1の並列シフトレジスタにおいて、それぞれ異なるデータ幅を有する複数の入力データ列のうち任意の入力データ列が保持される。そして、スイッチマトリックスは、第1の並列シフトレジスタによって保持されるデータを入力し、予め定められた複数の規則の中から制御信号により選択された規則に従って該入力データを分配出力する。その出力されたデータは第2の並列シフトレジスタに入力され、その第2の並列シフトレジスタは、所定のデータ幅を有するデータ列を出力する。したがって、シリアルデータに変換することなく所望のデータ列変換が実現される。

【0013】

また、本発明によれば、前記複数の入力データ列のデータ幅の各々を W_n ($n = 1, 2, 3, \dots$)とし、前記出力データ列のデータ幅を W_o としたとき、前記第1の並列シフトレジスタは、 W_n ($n = 1, 2, 3, \dots$)のうちの最大値に少なくとも等しいデータ幅を有し、かつ、 W_n ($n = 1, 2, 3, \dots$)と W_o との最小公倍数を W_n で割った商 Q_{I_n} ($n = 1, 2, 3, \dots$)のうちの最大値に少なくとも等しい段数を有する。

【0014】

また、本発明によれば、前記複数の入力データ列のデータ幅の各々を W_n ($n = 1, 2, 3, \dots$)とし、前記出力データ列のデータ幅を W_o としたとき、前記第2の並列シフトレジスタは、 W_n ($n = 1, 2, 3, \dots$)と W_o との最小公倍数を W_o で割った商 Q_{O_n} ($n = 1, 2, 3, \dots$)のうちの最大値に少なくとも等しい段数を有する。

【0015】

また、本発明によれば、入力データ列のデータ幅を W_n とし、出力データ列のデータ幅を W_o とし、 W_n と W_o との最小公倍数を W_n で割った商を Q_{I_n} とし

、 W_n と W_o との最小公倍数を W_o で割った商を Q_{On} としたとき、前記スイッチマトリックスは、前記第1の並列シフトレジスタの入力側第1段から第 Q_{In} 段までの部分に入力保持された $W_n \times Q_{In}$ 個のデータが前記第2の並列シフトレジスタの出力側第1段から第 Q_{On} 段までの部分に入力されるべく分配出力する。

【0016】

さらに、本発明によれば、ジャギー補正回路とライン状のヘッドとの間に上記に記載のデータ列変換回路を備えるプリンタが提供される。このプリンタにおいては、ライン状のヘッド内のシフトレジスタ部へ、シフトレジスタの転送クロック周波数を上昇させることなく、高解像度の画像データを転送することができる。

【0017】

【発明の実施の形態】

以下、添付図面を参照して本発明の実施形態について説明する。

【0018】

図1は、本発明によるデータ列変換回路が適用可能なLEDプリンタの印刷部の構成を模式的に示す図である。印刷部20は、画像担持体である感光ドラム22を中心として、感光ドラムの表面に電荷を帯びさせる帯電器24と、潜像を形成する露光器としてのLEDアレイヘッド26と、潜像を現像剤で可視化してトナー像を形成する現像器28と、可視化されたトナー像を画像記録媒体に転写する転写器30と、感光ドラムの表面に残留する電荷を除去する除電器32と、トナー像の転写後に感光ドラム上に残留するトナーを除去するクリーナ34とから構成されている。

【0019】

図2は、LEDアレイを感光ドラム22側から見た図を示し、図3は、直列データ入力LEDアレイヘッドの構成を示す図である。これらの図に示されるように、図1のLEDアレイヘッド26は、LED素子が所定のピッチで一列に配列されているLEDアレイ40と、LED素子の一個に対応する一個の画像データを記憶する記憶素子（フリップフロップ）がLED素子と同数設けられているシ

フトレジスタ44と、そのレジスタに記憶された画像データに従ってLED素子を発光させるLED駆動回路42とから構成される。なお、シフトレジスタ44においてより奥側に位置するフリップフロップには、図2ではより左側のLED素子が対応する。すなわち、図2と図3とでは、LED素子の位置関係が逆になっている。

【0020】

図4は、並列データ入力LEDアレイヘッドの構成を示す図である。前述のように、LEDプリンタの高速化、高解像度化及び印刷幅の拡大に伴い、単位時間内にLEDアレイヘッドのシフトレジスタへ転送する画像データが増大する。シフトレジスタへの画像データ転送を、シフトレジスタの転送クロック周波数をあげることなく高速化するために、連続した複数のLED素子に対応する画像データを1単位として並列入力する並列シフトレジスタ構成を採用したLEDアレイヘッドが採用されている。図4の例では、8ビット並列シフトレジスタ46が使用されている。そして、8ビットの並列データにおいては、上位側ビットが、直列データの場合の先行側ビット（直列シフトレジスタでいえば奥側ビット、また、図2のLED素子でいえば左側素子）に対応している。

【0021】

図5は、ジャギー補正回路の構成を示す図である。前述のように、LEDプリンタの印刷画素密度はLED素子の配列ピッチで決定される。しかし、複数の異なる解像度の最小公倍数となる解像度の画素ピッチでLED素子を配列したLEDアレイを使用するLEDプリンタ（例えば、解像度240dpi, 300dpi, 400dpiの画像データを、その解像度の最小公倍数である1200dpiのLEDアレイヘッドで印刷するもの）では、低解像度印刷データの画素単位が複数のLED素子で構成されることを利用し、上記画素単位を構成するLED素子を個別に選択的に点灯又は消灯させて、注目画素の周辺に小さい印刷ドットを付加したり注目画素から小さい印刷ドットを削除したりする制御を行うことにより、低解像度画像の印刷時に生じるギザギザ状のジャギーを防止することができる。

【0022】

図 5 に例示されるジャギー補正回路 5 0 においては、画像メモリ 4 8 に展開された低解像度印刷データが画像メモリ読出し部 5 2 によってラインバッファ 5 4 に読み出される。評価ウィンドウ抽出部 5 6 は、ラインバッファ 5 4 から注目ドットとその近傍の矩形領域を評価ウィンドウとして抽出する。そして、補正画像データ生成部 5 8 は、評価ウィンドウとして抽出されたパターンから、注目ドット位置における、印刷小ドットが付加ないしは削除された高解像度の印刷ドットパターンを決定し、補正画像データとして出力する。

【 0 0 2 3 】

図 6 は、そのようなジャギー補正回路の動作を説明するための図であり、図 5 のジャギー補正回路 5 0 での印刷ドットパターン決定の一例を示している。低解像度印刷データの一部を抽出したものである図 6 (A) のパターンから、抽出領域中央の注目ドット位置における補正後の高解像度印刷ドットパターンは図 6 (B) のように決定される。同様な補正工程を繰り返し、図 6 (A) のような形状の低解像度印刷パターンは、図 6 (C) のような高解像度印刷ドットパターンに補正される。

【 0 0 2 4 】

図 7 は、本発明に係るデータ列変換回路の位置付けを説明するためのブロック図である。前述のように、240dpi, 300dpi, 400dpi の低解像度印刷データを、その解像度の最小公倍数である 1200dpi の LED アレイヘッドを用いて印刷する LED プリンタにおいては、240dpi 印刷画像データの 1 ドットは 1200dpi の印刷ドット 5 個で構成され、300dpi 印刷画像データの 1 ドットは 1200dpi の印刷ドット 4 個で構成され、400dpi 印刷画像データの 1 ドットは 1200dpi の印刷ドット 3 個で構成されることになる。

【 0 0 2 5 】

このような LED プリンタに設けられるジャギー補正回路 5 0 (図 5) は、240dpi, 300dpi, 400dpi の低解像度印刷データの注目ドット位置における印刷ドット補正により、それぞれ 5 個、4 個、3 個の高解像度印刷ドットパターンを決定して出力する。すなわち、ジャギー補正回路 5 0 の出力単位

は、入力される低解像度印刷画像データの解像度に応じて異なる。

【0026】

ここで、1200 dpi のLEDアレイヘッドとして、パラレルシフトレジスタ構成を採用したLEDアレイヘッドが採用されている場合、LEDアレイヘッド26の並列入力のデータ幅（図4の例では8ビット）と、ジャギー補正回路50で出力される印刷ドットパターンの幅とは、必ずしも一致しない。したがって、図7に示されるように、入力画像データの解像度に応じて変わるジャギー補正回路50の出力データ列を、LEDアレイヘッド26の並列入力に適合したデータ幅を有するデータ列に変換するデータ列変換回路60が、ジャギー補正回路50とLEDアレイヘッド26との間に設けられる必要がある。

【0027】

図8は、従来のデータ列変換回路の構成を示す図である。この従来回路は、ジャギー補正回路50の出力データをパラレル／シリアル変換するPS変換回路62と、PS変換された出力をLEDアレイヘッド26の並列入力データ幅に合わせてシリアル／パラレル変換するSP変換回路64とを備え、適切な制御信号（クロック信号）を受けて動作する。図8の例では、5ビット幅のデータ列が8ビット幅のデータ列に変換される。

【0028】

しかしながら、図8のデータ列変換回路では、印刷ドットデータが一旦シリアルデータに変換されるため、高解像度印刷ドットデータをシリアル転送していることと等価となる。これは、高速動作するシフトレジスタがデータ列変換回路に必要となり、シフトレジスタの転送クロック周波数を上昇させることなく高速化を図るように、印刷ドットデータを並列入力としたパラレルシフトレジスタ構成のLEDアレイヘッドを採用した利点を阻害する結果となる。

【0029】

例えば、1万行（1行約0.42 cm：1／6インチ）、印刷幅43.18 cm（17インチ）の連帳紙プリンタに1200 dpi LEDアレイヘッドを実装し、240 dpi、300 dpi、400 dpiの低解像度印刷データを1200 dpiに変換して印刷する場合について試算してみる。パラレルデータ入力で

はないLEDアレイヘッドの場合、LEDアレイヘッドのデータ転送周波数Fは

$$240 \text{ dpi} : F > 136.0 \text{ MHz}$$

$$300 \text{ dpi} : F > 170.0 \text{ MHz}$$

$$400 \text{ dpi} : F > 226.6 \text{ MHz}$$

となる。これに対し、8ビットパラレルデータ入力のLEDアレイヘッドの場合、データ転送周波数Fは上記周波数の1/8で良い。ところが、図8のデータ列変換回路では、PS変換回路とSP変換回路のシフトレジスタの動作周波数としては、上記周波数と同じものが必要になってしまう。

【0030】

図9は、上述した問題点を解決すべく案出された、本発明に係るデータ列変換回路の一実施形態の構成を示す図である。このデータ列変換回路60は、240 dpi, 300 dpi, 400 dpiの低解像度印刷データをジャギー補正して8ビット並列入力の1200 dpi LEDアレイヘッドで印刷するLEDプリンタに適用されるものである。

【0031】

240 dpi, 300 dpi, 400 dpiの低解像度印刷データをジャギー補正するジャギー補正回路は、低解像度印刷データの注目ドット位置における印刷ドット補正により、それぞれ5個、4個、3個の高解像度印刷ドットパターンを決定して出力する。このとき、図5に示されるジャギー補正回路は、低解像度印刷データの注目ドット位置における印刷ドット補正の進行に従って、それぞれ5ビット、4ビット、3ビットのデータ列を出力する。

【0032】

なお、ジャギー補正回路50については、出力する高解像度印刷ドットパターンの大きさのうち最大値である5ビットを出力可能な回路とし、各入力解像度毎に補正画像データ生成部の生成パターンを切り換えることにより、各解像度共通のジャギー補正回路を使用することができる。

【0033】

5ビット幅の入力データ列を8ビット幅の出力データ列に変換するときには、

これらのデータ列幅の最小公倍数である40ビットを一単位としてパラレルデータのまま、入力5ビット×8を出力8ビット×5に変換すればよい。同様に、4ビット幅の入力データ列を8ビット幅のデータ列に変換するときには8ビットを一単位として入力4ビット×2→出力8ビット×1の変換となり、3ビット幅の入力データ列を8ビット幅のデータ列に変換するとき24ビットを一単位として入力3ビット×8→出力8ビット×3の変換となる。

【0034】

したがって、図9に示される回路においては、入力シフトレジスタ72のデータ幅は、入力データ列の最大ビット幅5を必要とする。また、入力シフトレジスタ72の段数は、入力に必要な段数のうち最大値である8を必要とする。さらに、出力シフトレジスタ76の段数は、出力に必要な段数のうち最大値である5を必要とする。

【0035】

図9において、入力シフトレジスタ72は、5ビット幅を持つ8段のレジスタFFi1乃至FFi8で構成されている。入力シフトレジスタ72の保持する40ビットのデータは、スイッチマトリックス74に入力される。スイッチマトリックス74に入力されたデータは、後述の規則に従って、出力シフトレジスタ76へ出力される。出力シフトレジスタ76は、LEDアレイヘッド26の並列入力データ幅と同じ8ビット幅を持つ5段のレジスタFFo1乃至FFo5で構成される。

【0036】

出力シフトレジスタ76を構成するレジスタFFo1乃至FFo5は、LOADa信号に応じて、スイッチマトリックス74の出力からDa端子に入力されるデータを入力保持するか、前段のQ出力からDb端子に入力されるデータを入力保持するかを選択する。本実施形態では、LOADa信号がハイ(High)のときのクロック入力によりDa端子に入力されるデータを取り込む一方、LOADa信号がロウ(Low)のときのクロック入力によりDb端子に入力されるデータを取り込むようにされている。

【0037】

240 dpi の低解像度印刷データをジャギー補正し、1200 dpi LED アレイヘッドで印刷するとき、ジャギー補正回路は5ビット幅の高解像度印刷ドットパターンデータ列を出力する。図9に示されるデータ列変換回路60は、入力シフトレジスタ72に5ビット×8段=40ビットのデータが入力保持された時点で、スイッチマトリックス74を介して適切な規則で分配出力された当該入力データを、出力シフトレジスタ76に取り込み、そして出力シフトレジスタ76に取り込んだデータを順次出力してLEDアレイヘッド26に転送する。この動作を繰り返すことにより、5ビット幅の入力データ列を8ビット幅の出力データ列に変換することができる。

【0038】

この一連の変換動作のタイミングチャートを示したものが、図10である。本図から判るように、入力シフトレジスタの8段にデータが入力される間に、出力シフトレジスタから5段分のデータが出力されるようなクロックでシフト動作を繰り返すことにより、連続してデータ列変換を行うことができる。従って、入力シフトレジスタ72におけるシフトクロック $\phi 1$ の周波数と、出力シフトレジスタ76におけるシフトクロック $\phi 2$ の周波数との比は、8:5となる。

【0039】

また、300 dpi の低解像度印刷データをジャギー補正し、1200 dpi LEDアレイヘッドで印刷するときには、ジャギー補正回路は4ビット幅の高解像度印刷ドットパターンデータ列を出力する。図9に示されるデータ列変換回路60は、入力シフトレジスタ72に4ビット×2段=8ビットのデータが入力保持された時点で、スイッチマトリックス74を介して適切な規則で分配出力された当該入力データを、出力シフトレジスタ76に取り込み、そして出力シフトレジスタ76に取り込んだデータを順次出力してLEDアレイヘッド26に転送する。この動作を繰り返すことにより、4ビット幅の入力データ列を8ビット幅の出力データ列に変換することができる。

【0040】

この一連の変換動作のタイミングチャートを示したものが、図11である。入力シフトレジスタの2段にデータが入力される間に、出力シフトレジスタの1段

からデータが出力されるようなクロックでシフト動作を繰り返すことにより、連続してデータ列変換を行うことができる。従って、入力シフトレジスタにおけるシフトクロック $\phi 1$ の周波数と、出力シフトレジスタにおけるシフトクロック $\phi 2$ の周波数との比は、2 : 1 となる。

【0041】

さらに、400 dpi の低解像度印刷データをジャギー補正し、1200 dpi LEDアレイヘッドで印刷するときには、ジャギー補正回路は3ビット幅の高解像度印刷ドットパターンデータ列を出力する。図9に示されるデータ列変換回路60は、入力シフトレジスタ72に3ビット×8段=24ビットのデータが入力保持された時点で、スイッチマトリックス74を介して適切な規則で分配出力された当該入力データを、出力シフトレジスタ76に取り込み、そして出力シフトレジスタ76に取り込んだデータを順次出力してLEDアレイヘッド26に転送する。この動作を繰り返すことにより、3ビット幅の入力データ列を8ビット幅の出力データ列に変換することができる。

【0042】

この一連の変換動作のタイミングチャートを示したものが、図12である。本図から判るように、入力シフトレジスタの8段にデータが入力される間に、出力シフトレジスタから3段分のデータが出力されるようなクロックでシフト動作を繰り返すことにより、連続してデータ列変換を行うことができる。従って、入力シフトレジスタにおけるシフトクロック $\phi 1$ の周波数と、出力シフトレジスタにおけるシフトクロック $\phi 2$ の周波数との比は、8 : 3 となる。

【0043】

ここで、スイッチマトリックス74でのデータ分配規則について、図9の例に沿って説明する。以下の説明では、入力シフトレジスタ72に入力される5ビットの印刷ドットデータの各ビットをD4乃至D0で表しD0が印刷の右側のドット（図2では右側のLED素子に対応し、図3又は図4では左側のLED素子に対応する）とする。そして、240 dpi のジャギー補正ではD4乃至D0が、300 dpi のジャギー補正ではD3乃至D0が、400 dpi のジャギー補正ではD2乃至D0が、それぞれ有効な印刷ドットデータとして入力されるものと

する。また $FFiN$ ($N=1, 2, \dots, 8$) の保持するデータ (Q出力) の各ビットを $FFiN-Q4$ 乃至 $FFiN-Q0$ で表記する。さらに $FFoN$ ($N=1, 2, \dots, 5$) の Da 入力端子に接続されるスイッチマトリックス出力端子の各ビットは、出力シフトレジスタの各ビットに対応させて、 $FFoN-Da7$ 乃至 $FFoN-Da0$ で表記し、 $Da0$ 側が印刷の右側のドットになるものとする。

【0044】

240dpi の低解像度印刷データをジャギー補正し、1200dpi LED アレイヘッドで印刷するときの、スイッチマトリックス74の分配出力規則は、図13に示されるようになる。同図は、出力シフトレジスタの各 Da 入力端子に接続されるスイッチマトリックス出力データと、スイッチマトリックスに入力される入力シフトレジスタのQ出力との関係を示している。例えば、入力シフトレジスタ72から出力される $FFi8-Q4$ (入力された40ビット中で最も先行するビットに対応する) は、スイッチマトリックス74を介して、出力シフトレジスタ76の $FFo5-Da7$ に入力されることとなる。

【0045】

同様に、300dpi, 400dpi 低解像度印刷データをジャギー補正し、1200dpi LED アレイヘッドで印刷するときの、スイッチマトリックスの分配出力規則は、それぞれ図14、図15に示されるようになる。図中「×」の表記は、出力データを特に規定しない (すなわち、本実施形態のデータ列変換では不要) であることを示す。これらの図からわかるように、入力シフトレジスタでは、入力側から必要な段数が使用される一方、出力シフトレジスタでは、出力側から必要な段数が使用される。

【0046】

図16、図17、図18、図19及び図20は、スイッチマトリックス74の回路構成例を示す図である。これらの図に示される回路が結合されて一つのスイッチマトリックス回路が構成される。なお、これらの図における回路は、簡略化された表記を用いて示されており、図21は、その表記を説明するための図である。すなわち、図21(A)に示される、簡略化表記された回路は、実際には、図21(B)に示される回路を表している。

【 0 0 4 7 】

これらの図において S L - 2 4 0、S L - 3 0 0、S L - 4 0 0 及び F F i N - Q X (N = 1, 2, …, 8 ; Q = 0, 1, …, 4) は、スイッチマトリックス 7 4 への入力信号であり、F F o M - D a Y (M = 1, 2, …, 5 ; Y = 0, 1, …, 7) は、スイッチマトリックス 7 4 からの出力信号である。

【 0 0 4 8 】

さらにいえば、S L - 2 4 0、S L - 3 0 0 及び S L - 4 0 0 は、解像度選択信号であり、ジャギー補正される低解像度印刷データの解像度に応じて、2 4 0 d p i 入力時には S L - 2 4 0 がハイ (H i g h) となり、3 0 0 d p i 入力時には S L - 3 0 0 がハイとなり、4 0 0 d p i 入力時には S L - 4 0 0 がハイとなる。

【 0 0 4 9 】

また、スイッチマトリックス 7 4 への入力信号 F F i N - Q X (N = 1, 2, …, 8 ; Q = 0, 1, …, 4) は、図 9 に示される入力シフトレジスタ 7 2 内の F F i 1 乃至 F F i 8 の対応する Q 出力から送られて来る信号である。スイッチマトリックス 7 4 からの出力信号 F F o M - D a Y (M = 1, 2, …, 5 ; Y = 0, 1, …, 7) は、図 9 に示される出力シフトレジスタ 7 6 内の F F o 1 乃至 F F o 5 の対応する D a 入力に送られる信号である。

【 0 0 5 0 】

図 1 6、図 1 7、図 1 8、図 1 9 及び図 2 0 に示されるスイッチマトリックス回路 7 4 の動作を、図 2 1 に抽出された部分について説明すると、ジャギー補正回路に入力される低解像度印刷データの解像度が 2 4 0 d p i のときには、解像度選択信号 S L - 2 4 0 がハイとなり、入力シフトレジスタ 7 2 の F F i 8 の Q 1 からの出力信号が、出力シフトレジスタ 7 6 の F F o 5 の D a 4 へ入力される。

【 0 0 5 1 】

同様に、ジャギー補正回路に入力される低解像度印刷データの解像度が 3 0 0 d p i のときには、解像度選択信号 S L - 3 0 0 がハイとなり、入力シフトレジスタ 7 2 の F F i 2 の Q 0 からの出力信号が、出力シフトレジスタ 7 6 の F F o

5のD a 4へ入力される。また、ジャギー補正回路に入力される低解像度印刷データの解像度が4 0 0 d p iのときには、解像度選択信号S L - 4 0 0がハイとなり、入力シフトレジスタ7 2のF F i 7のQ 2からの出力信号が、出力シフトレジスタ7 6のF F o 5のD a 4へ入力される。

【0 0 5 2】

以上のように、本実施形態では、入力／出力シフトレジスタのシフト動作は、最小でも3ビット幅で行っているので、データ列変換を行うシフトレジスタの動作周波数を低く抑えつつ、複数の異なるデータ幅で入力されるデータ列を所定の出力データ列に変換することができる。その際、スイッチマトリックスの分配出力規則と入力／出力シフトレジスタのシフトクロック周波数の比とを変えることにより、複数の異なる入力データ幅に対応することができる。なお本実施形態では、データ列変換回路の出力データを直接L E Dアレイヘッドに転送するものとしたが、所定のビット幅を持つメモリに一旦格納しても良い。

【0 0 5 3】

本実施形態では、L E Dアレイヘッドを有するプリンタについて説明したが、シフトレジスタにデータをセットし、そのデータに基づいて記憶素子を駆動する、ヘッドがライン状になったプリンタであればよい。

【0 0 5 4】

以上、本発明を特にその好ましい実施の形態を参照して詳細に説明した。本発明の容易な理解のため、本発明の具体的な形態を以下に付記する。

【0 0 5 5】

(付記1) それぞれ異なるデータ幅を有する複数の入力データ列のうち任意の入力データ列を入力し、所定のデータ幅を有する出力データ列に変換して出力するデータ列変換回路であって、

入力データ列を保持する第1の並列シフトレジスタと、

前記第1の並列シフトレジスタによって保持されるデータを入力し、予め定められた複数の規則の中から制御信号により選択された規則に従って該入力データを分配出力するスイッチマトリックスと、

前記スイッチマトリックスから出力されるデータを入力し、所定のデータ幅を

有するデータ列として出力する第2の並列シフトレジスタと、

を具備するデータ列変換回路。(1)

【0056】

(付記2) 前記複数の入力データ列のデータ幅の各々を W_n ($n=1, 2, 3, \dots$)とし、前記出力データ列のデータ幅を W_o としたとき、前記第1の並列シフトレジスタは、 W_n ($n=1, 2, 3, \dots$)のうちの最大値に少なくとも等しいデータ幅を有し、かつ、 W_n ($n=1, 2, 3, \dots$)と W_o との最小公倍数を W_n で割った商 Q_{I_n} ($n=1, 2, 3, \dots$)のうちの最大値に少なくとも等しい段数を有する、付記1に記載のデータ列変換回路。(2)

【0057】

(付記3) 前記複数の入力データ列のデータ幅の各々を W_n ($n=1, 2, 3, \dots$)とし、前記出力データ列のデータ幅を W_o としたとき、前記第2の並列シフトレジスタは、 W_n ($n=1, 2, 3, \dots$)と W_o との最小公倍数を W_o で割った商 Q_{O_n} ($n=1, 2, 3, \dots$)のうちの最大値に少なくとも等しい段数を有する、付記1に記載のデータ列変換回路。(3)

【0058】

(付記4) 前記複数の入力データ列のデータ幅がそれぞれ5ビット、4ビット及び3ビットであり、前記出力データ列のデータ幅が8ビットであり、前記第1の並列シフトレジスタは、5ビットのデータ幅及び8の段数を有し、前記第2の並列シフトレジスタは、5の段数を有する、付記1に記載のデータ列変換回路。

【0059】

(付記5) 入力データ列のデータ幅を W_n とし、出力データ列のデータ幅を W_o とし、 W_n と W_o との最小公倍数を W_n で割った商を Q_{I_n} とし、 W_n と W_o との最小公倍数を W_o で割った商を Q_{O_n} としたとき、前記スイッチマトリックスは、前記第1の並列シフトレジスタの入力側第1段から第 Q_{I_n} 段までの部分に入力保持された $W_n \times Q_{I_n}$ 個のデータが前記第2の並列シフトレジスタの出力側第1段から第 Q_{O_n} 段までの部分に入力されるべく分配出力する、付記1に記載のデータ列変換回路。(4)

【 0 0 6 0 】

(付記 6) 入力データ列のデータ幅を W_n とし、出力データ列のデータ幅を W_o としたとき、前記第 1 の並列シフトレジスタのシフトクロック周波数 F_i と前記第 2 の並列シフトレジスタのシフトクロック周波数 F_o とが、 $F_i / F_o = W_o / W_n$ の関係にある、付記 1 に記載のデータ列変換回路。

【 0 0 6 1 】

(付記 7) 入力データ列のデータ幅を W_n とし、出力データ列のデータ幅を W_o とし、 W_n と W_o との最小公倍数を W_n で割った商を Q_{In} とし、 W_n と W_o との最小公倍数を W_o で割った商を Q_{On} としたとき、前記第 1 の並列シフトレジスタに Q_{In} 個のデータ列が入力される毎に、 $W_n \times Q_{In}$ 個のデータが前記スイッチマトリックスを介して前記第 2 の並列シフトレジスタに入力され、次いで、前記第 2 の並列シフトレジスタから Q_{On} 個のデータ列が出力される、付記 1 に記載のデータ列変換回路。

【 0 0 6 2 】

(付記 8) ジャギー補正回路とライン状のヘッドとの間に、付記 1 から付記 7 までのいずれか 1 項に記載のデータ列変換回路を備えるプリンタ。(5)

【 0 0 6 3 】

【発明の効果】

以上説明したように、本発明によれば、異なるデータ幅で入力される複数のデータ列を、シリアルデータに変換することなく所定のデータ幅の出力データ列に変換することができ、データ列変換に使用されるクロック周波数を低く抑えることができる。この結果、低コストで動作速度の速いデータ列変換回路が提供される。このデータ列変換回路は、特に、LED プリンタ等に好適なものである。

【図面の簡単な説明】

【図 1】

本発明によるデータ列変換回路が適用可能な LED プリンタの印刷部の構成を模式的に示す図である。

【図 2】

LED アレイを感光ドラム側から見た図である。

【図 3】

直列データ入力LEDアレイヘッドの回路構成を示す図である。

【図 4】

並列データ入力LEDアレイヘッドの回路構成を示す図である。

【図 5】

ジャギー補正回路の構成を示す図である。

【図 6】

ジャギー補正回路の動作を説明するための図である。

【図 7】

本発明に係るデータ列変換回路の位置付けを説明するためのブロック図である。

【図 8】

従来のデータ列変換回路の構成を示す図である。

【図 9】

本発明に係るデータ列変換回路の一実施形態の構成を示す図である。

【図 10】

5ビット幅から8ビット幅へのデータ列変換動作のタイミングチャートである。

【図 11】

4ビット幅から8ビット幅へのデータ列変換動作のタイミングチャートである。

【図 12】

3ビット幅から8ビット幅へのデータ列変換動作のタイミングチャートである。

【図 13】

5ビット幅から8ビット幅へのデータ列変換動作におけるスイッチマトリックスの分配出力規則を示す図である。

【図 14】

4ビット幅から8ビット幅へのデータ列変換動作におけるスイッチマトリックス

スの分配出力規則を示す図である。

【図 1 5】

3 ビット幅から 8 ビット幅へのデータ列変換動作におけるスイッチマトリックスの分配出力規則を示す図である。

【図 1 6】

スイッチマトリックスの回路構成例を示す図（1 / 5）である。

【図 1 7】

スイッチマトリックスの回路構成例を示す図（2 / 5）である。

【図 1 8】

スイッチマトリックスの回路構成例を示す図（3 / 5）である。

【図 1 9】

スイッチマトリックスの回路構成例を示す図（4 / 5）である。

【図 2 0】

スイッチマトリックスの回路構成例を示す図（5 / 5）である。

【図 2 1】

スイッチマトリックス回路の簡略化された表記を説明するための図である。

【符号の説明】

2 0 … L E D プリンタの印刷部 2 0

2 2 … 感光ドラム

2 4 … 帯電器

2 6 … L E D アレイヘッド（露光器）

2 8 … 現像器

3 0 … 転写器

3 2 … 除電器

3 4 … クリーナ

4 0 … L E D アレイ

4 2 … L E D 駆動回路

4 4 … 直列シフトレジスタ

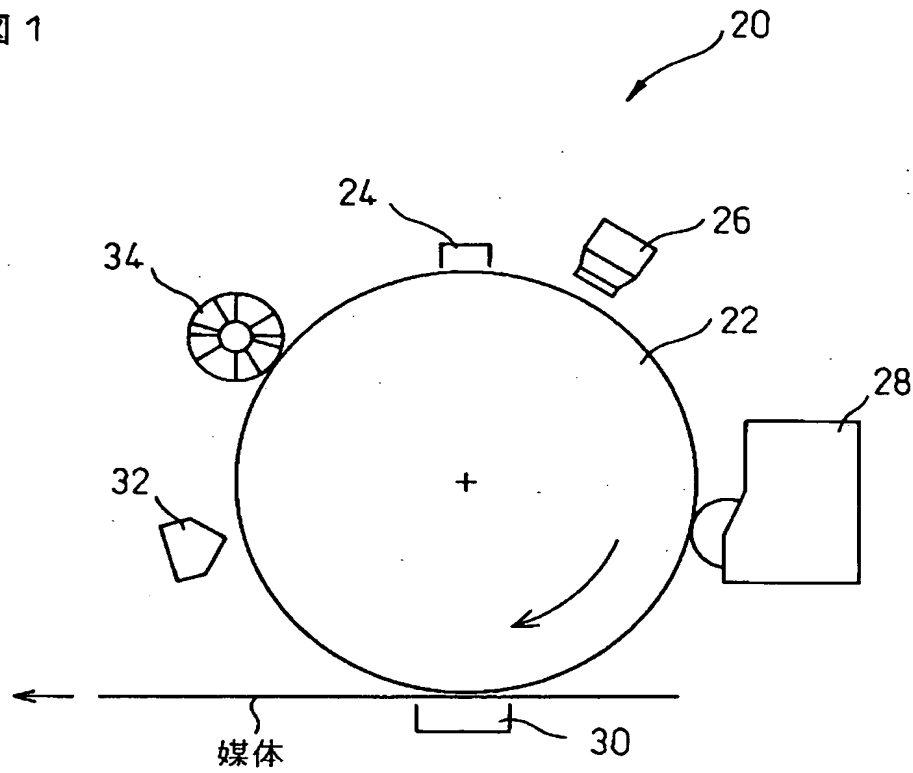
4 6 … 並列シフトレジスタ

- 4 8 …画像メモリ
- 5 0 …ジャギー補正回路
- 5 2 …画像メモリ読出し部
- 5 4 …ラインバッファ
- 5 6 …評価ウィンドウ抽出部
- 5 8 …補正画像生成部
- 6 0 …データ列変換回路
- 6 2 …パラレル／シリアル変換回路
- 6 4 …シリアル／パラレル変換回路
- 7 2 …入力シフトレジスタ
- 7 4 …スイッチマトリックス
- 7 6 …出力シフトレジスタ

【書類名】 図面

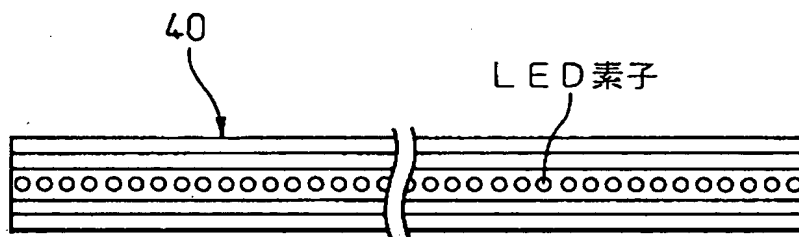
【図 1】

図 1



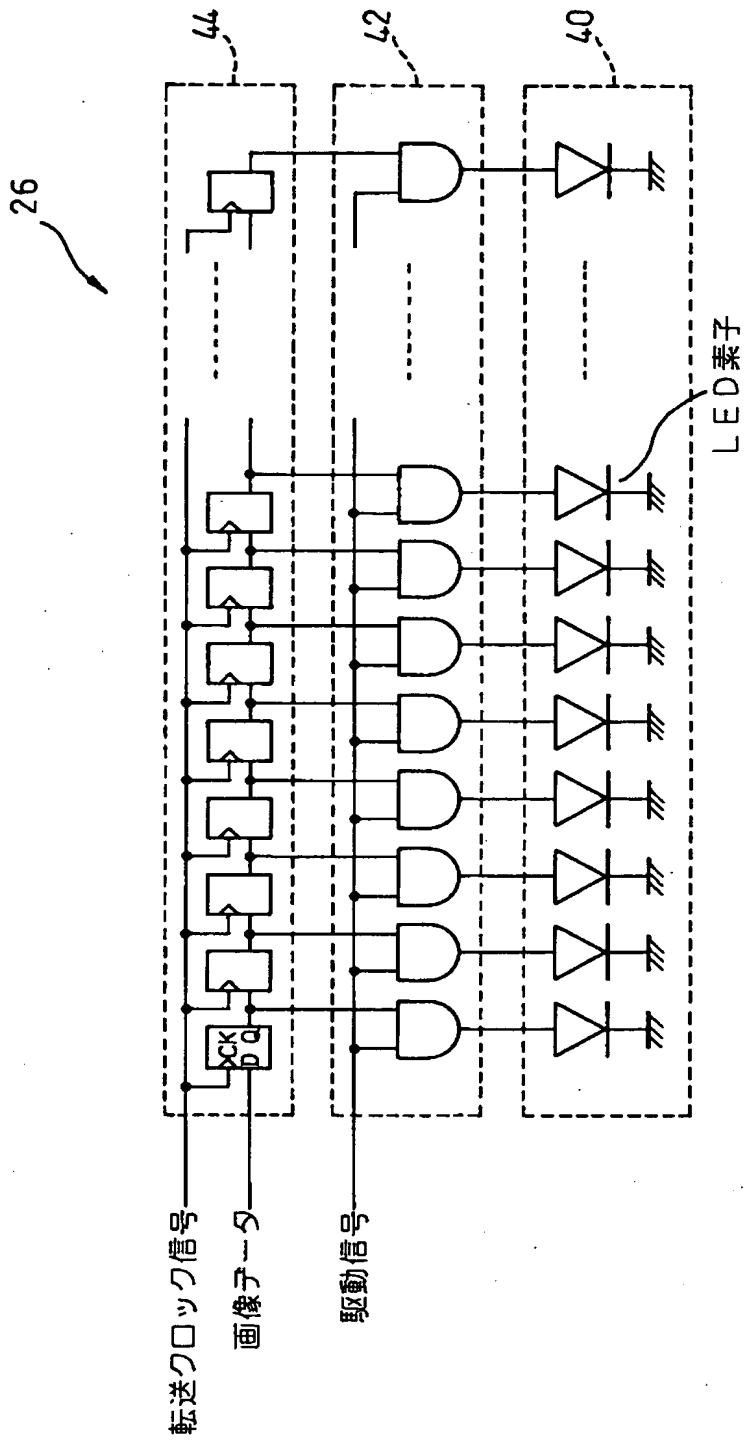
【図 2】

図 2

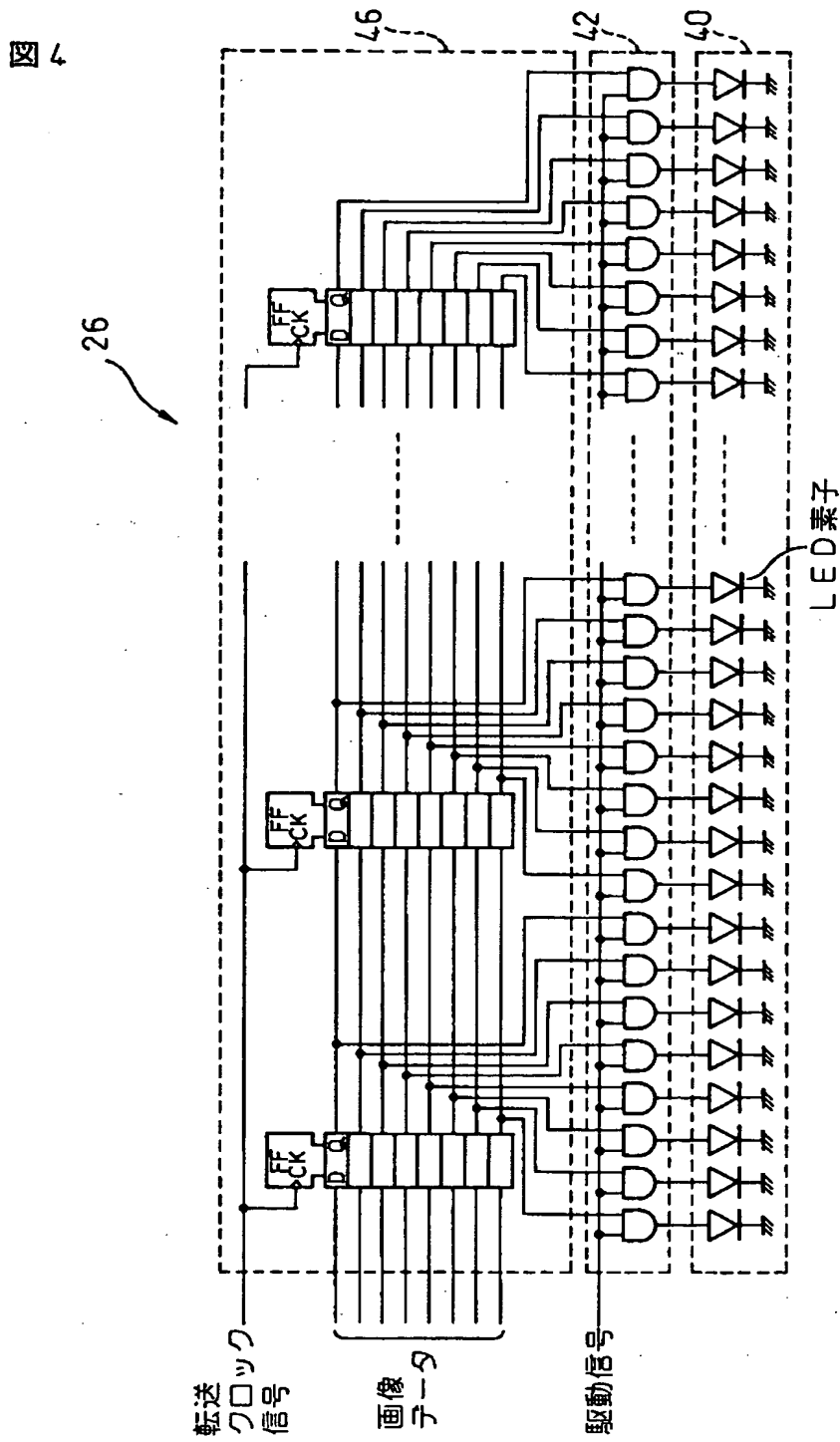


【図 3】

図 3

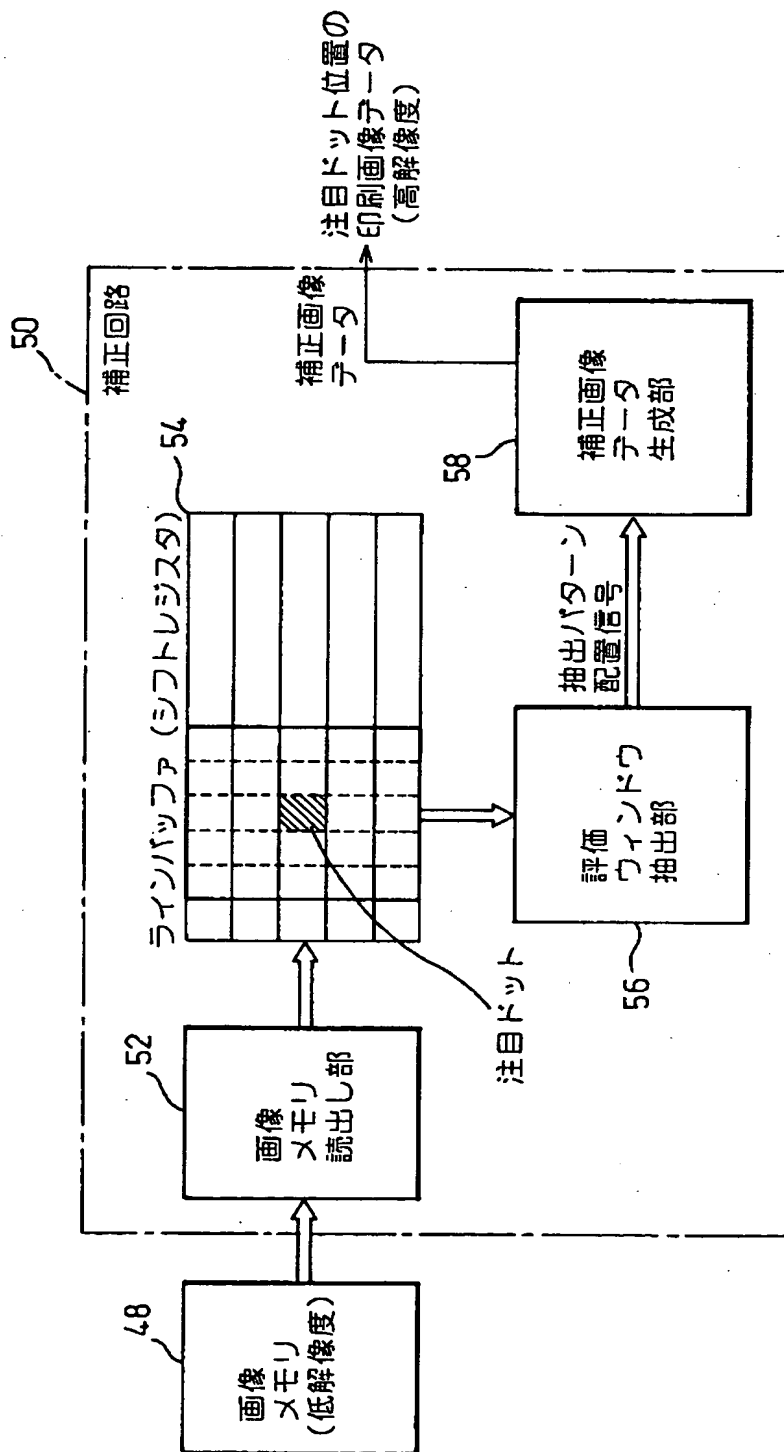


【図4】



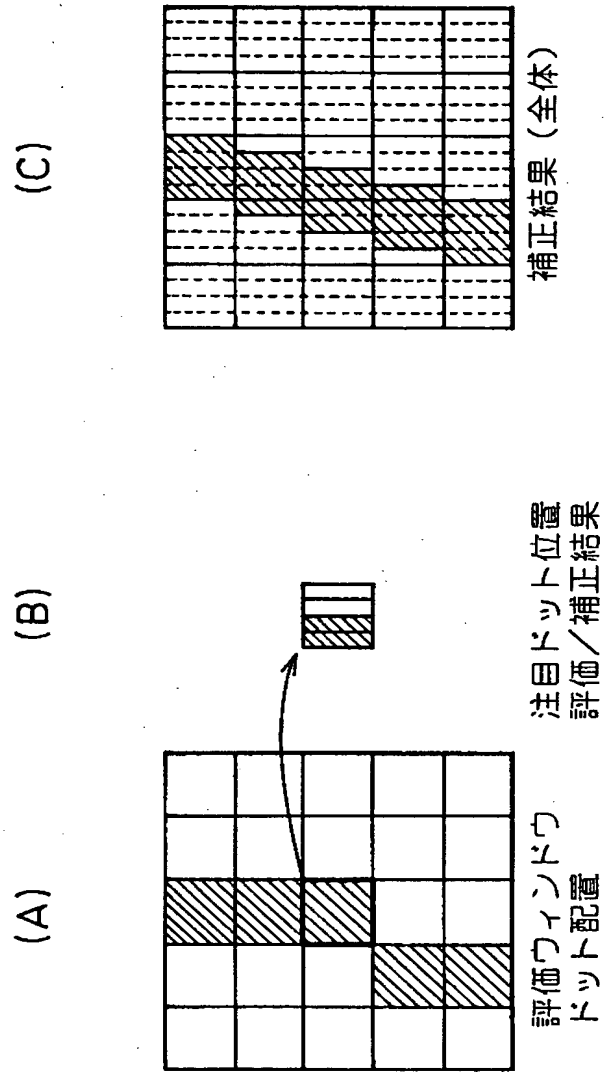
【図 5】

図 5



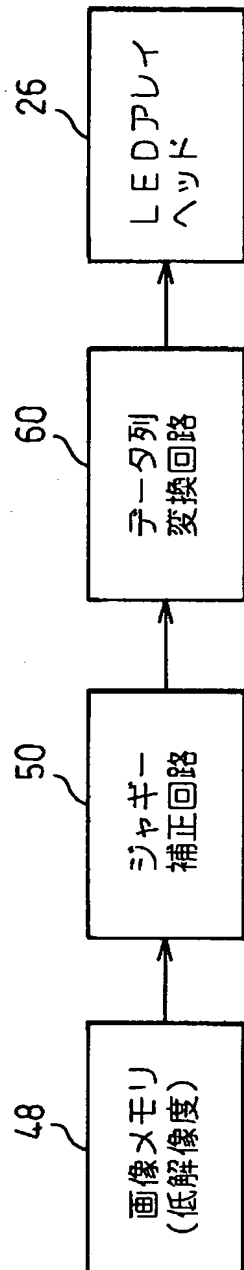
【図 6】

図 6



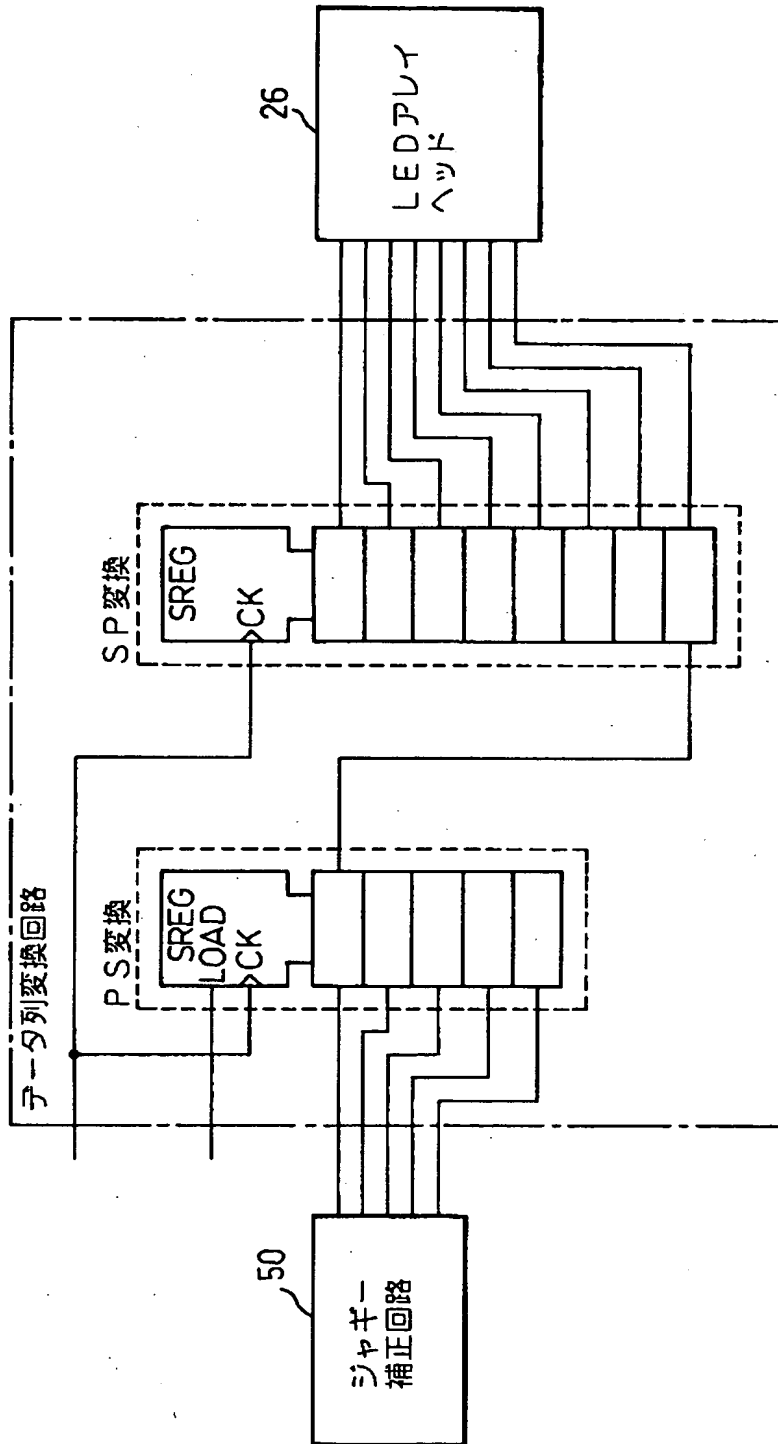
【図 7】

図 7



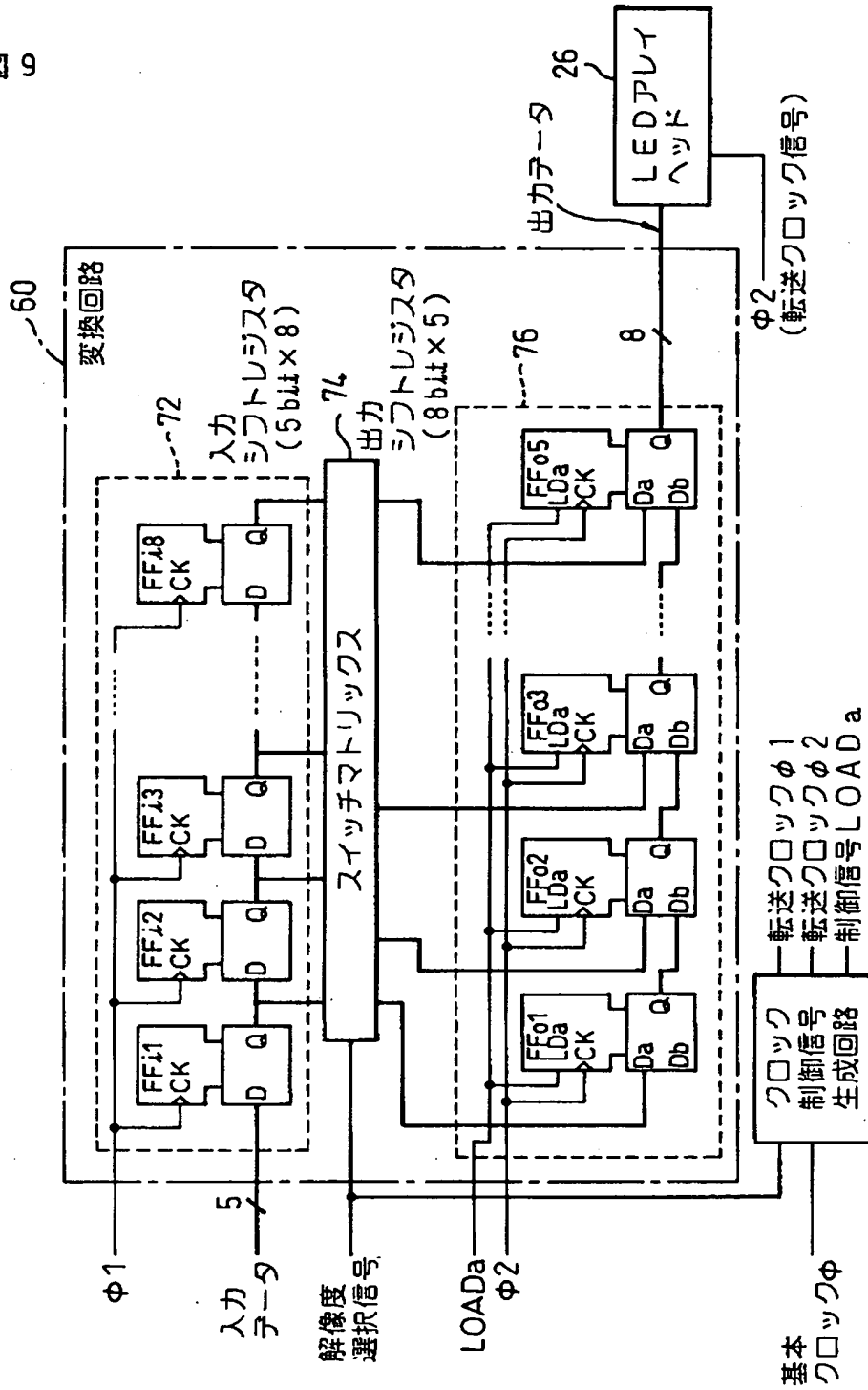
【図 8】

図 8



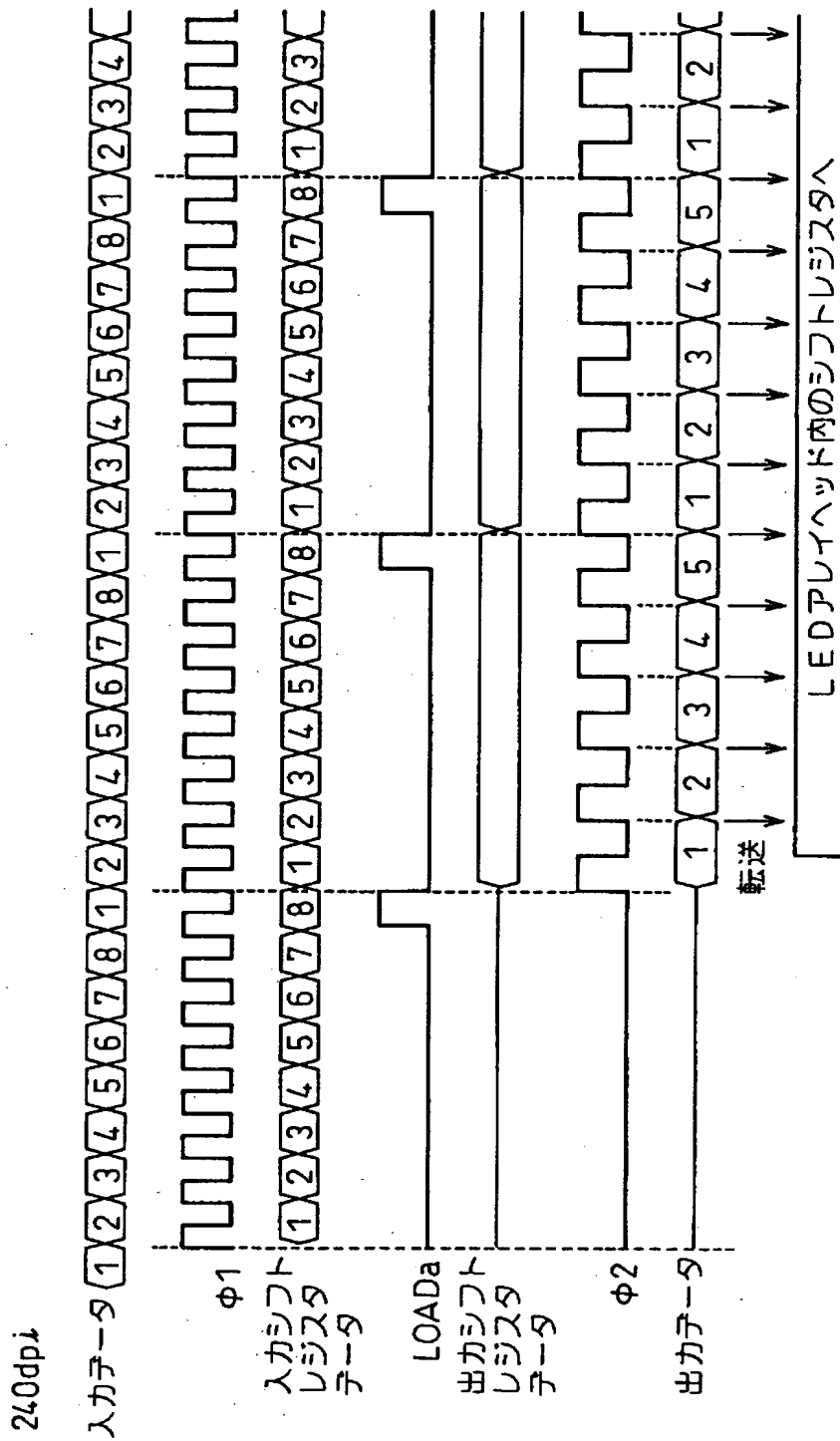
【图 9】

图 9



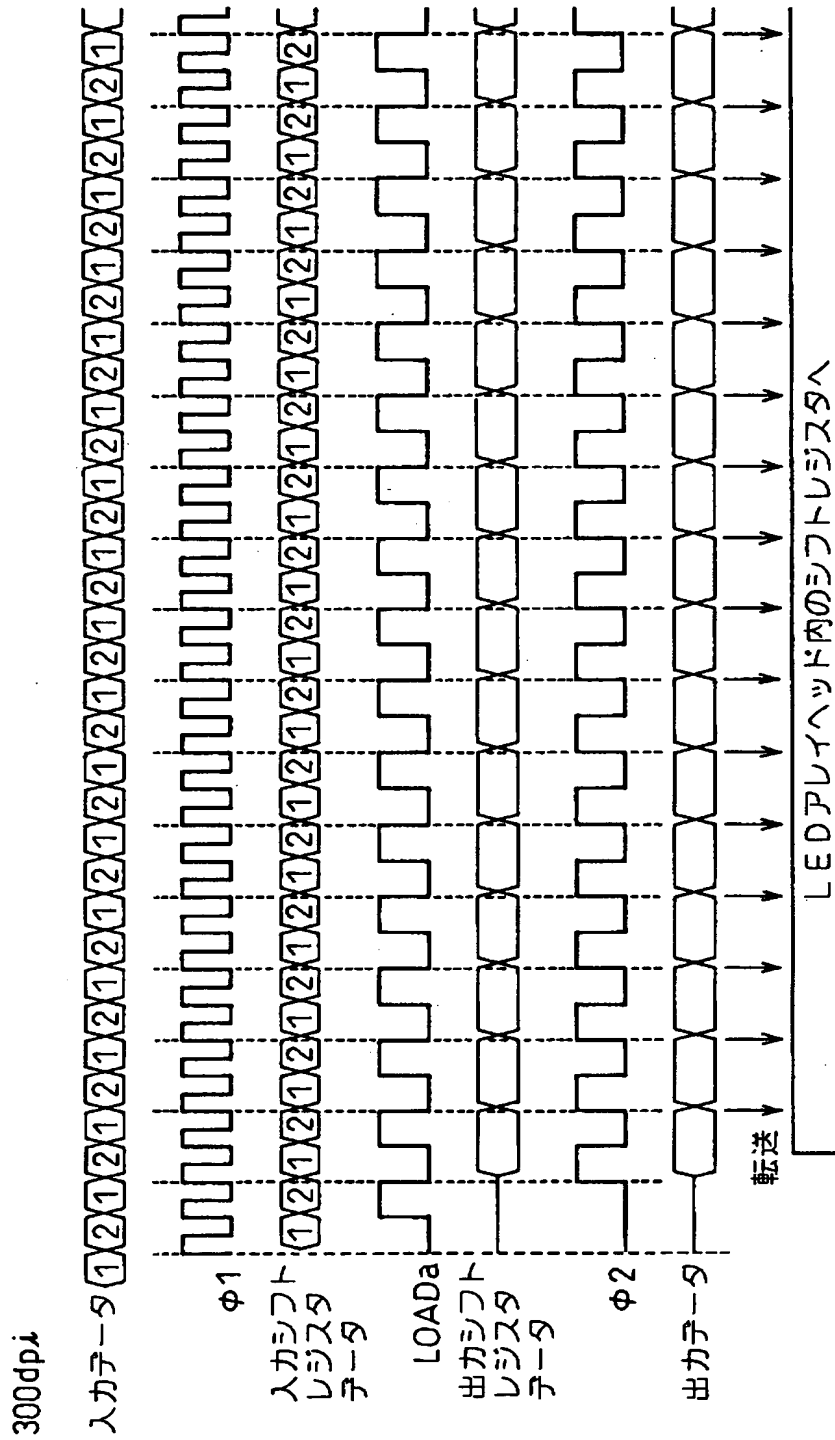
【図 10】

图 10



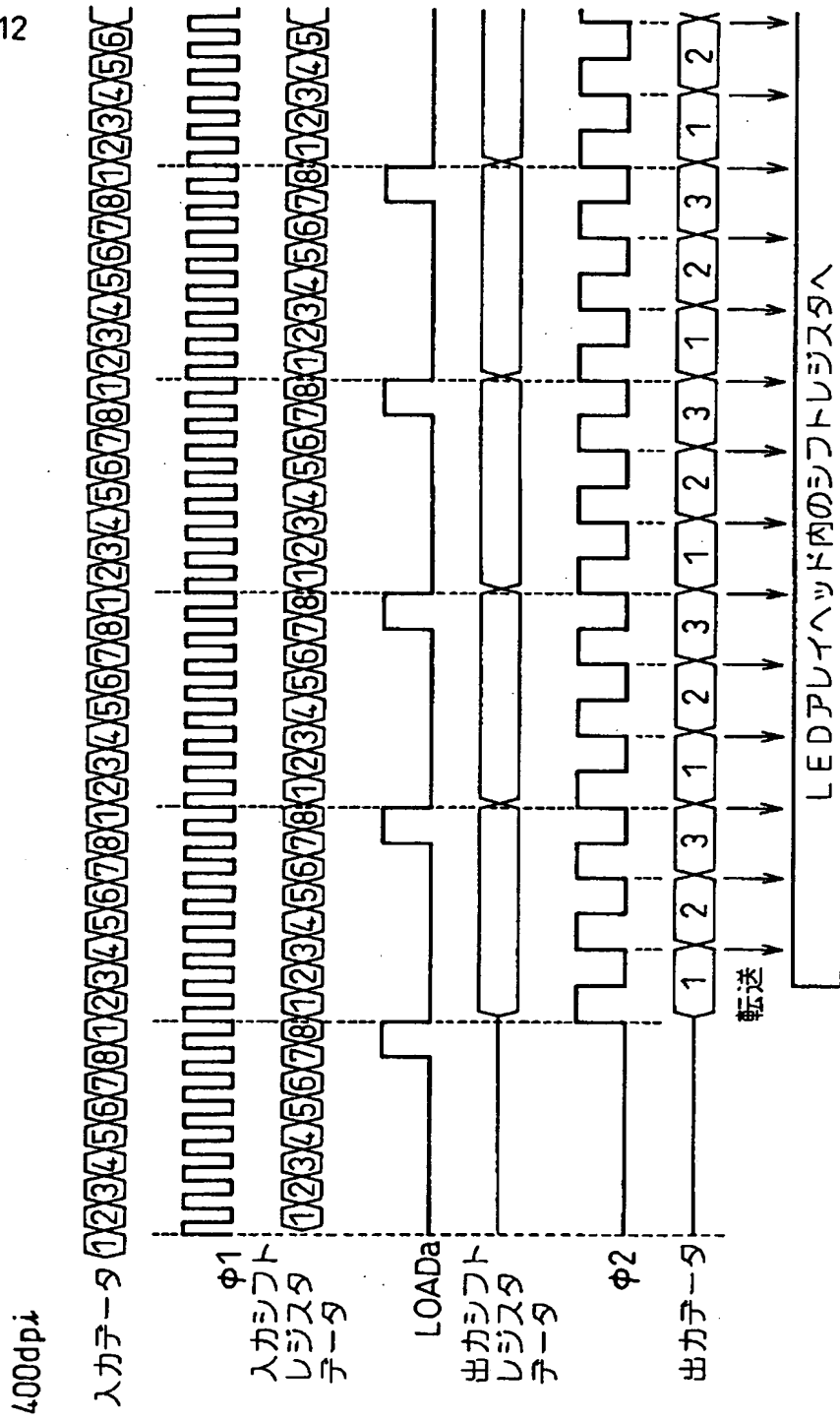
【図 1 1】

图 11



【図 1 2】

図 12



【図 1 3】

図 13

出力端子 (接続先)	FFo1							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	FFi2 -Q2	FFi2 -Q1	FFi2 -Q0	FFi1 -Q4	FFi1 -Q3	FFi1 -Q2	FFi1 -Q1	FFi1 -Q0

出力端子 (接続先)	FFo2							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	FFi4 -Q0	FFi3 -Q4	FFi3 -Q3	FFi3 -Q2	FFi3 -Q1	FFi3 -Q0	FFi2 -Q4	FFi2 -Q3

出力端子 (接続先)	FFo3							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	FFi5 -Q3	FFi5 -Q2	FFi5 -Q1	FFi5 -Q0	FFi4 -Q4	FFi4 -Q3	FFi4 -Q2	FFi4 -Q1

出力端子 (接続先)	FFo4							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	FFi7 -Q1	FFi7 -Q0	FFi6 -Q4	FFi6 -Q3	FFi6 -Q2	FFi6 -Q1	FFi6 -Q0	FFi5 -Q4

出力端子 (接続先)	FFo5							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	FFi8 -Q4	FFi8 -Q3	FFi8 -Q2	FFi8 -Q1	FFi8 -Q0	FFi7 -Q4	FFi7 -Q3	FFi7 -Q2

【図 1 4】

図 14

出力端子 (接続先)	FFo1							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	x	x	x	x	x	x	x	x

出力端子 (接続先)	FFo2							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	x	x	x	x	x	x	x	x

出力端子 (接続先)	FFo3							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	x	x	x	x	x	x	x	x

出力端子 (接続先)	FFo4							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	x	x	x	x	x	x	x	x

出力端子 (接続先)	FFo5							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	FFi2 -Q3	FFi2 -Q2	FFi2 -Q1	FFi2 -Q0	FFi1 -Q3	FFi1 -Q2	FFi1 -Q1	FFi1 -Q0

【図 1 5】

図 15

出力端子 (接続先)	FFo1							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	x	x	x	x	x	x	x	x

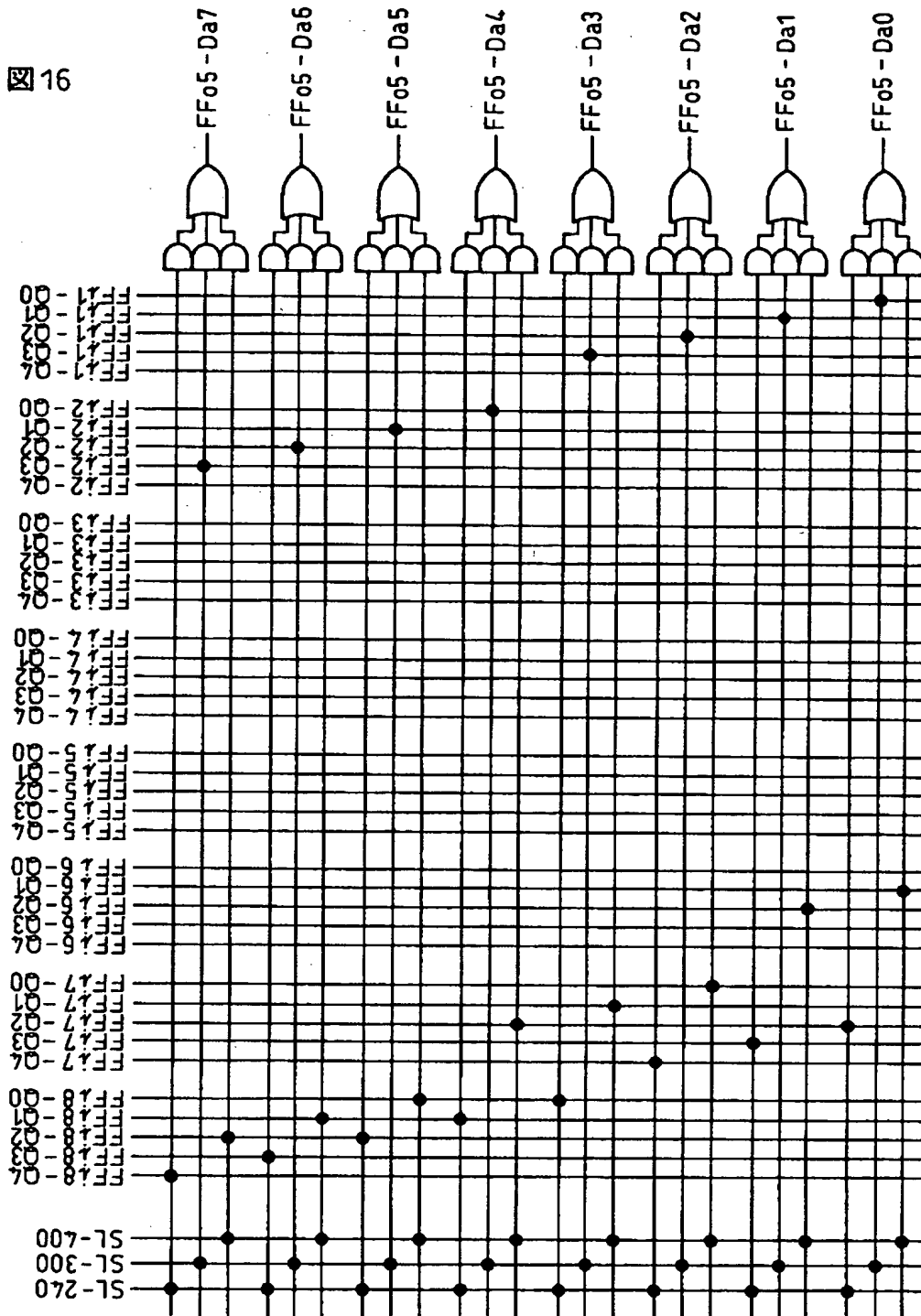
出力端子 (接続先)	FFo2							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	x	x	x	x	x	x	x	x

出力端子 (接続先)	FFo3							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	FFi3 -Q1	FFi3 -Q0	FFi2 -Q2	FFi2 -Q1	FFi2 -Q0	FFi1 -Q2	FFi1 -Q1	FFi1 -Q0

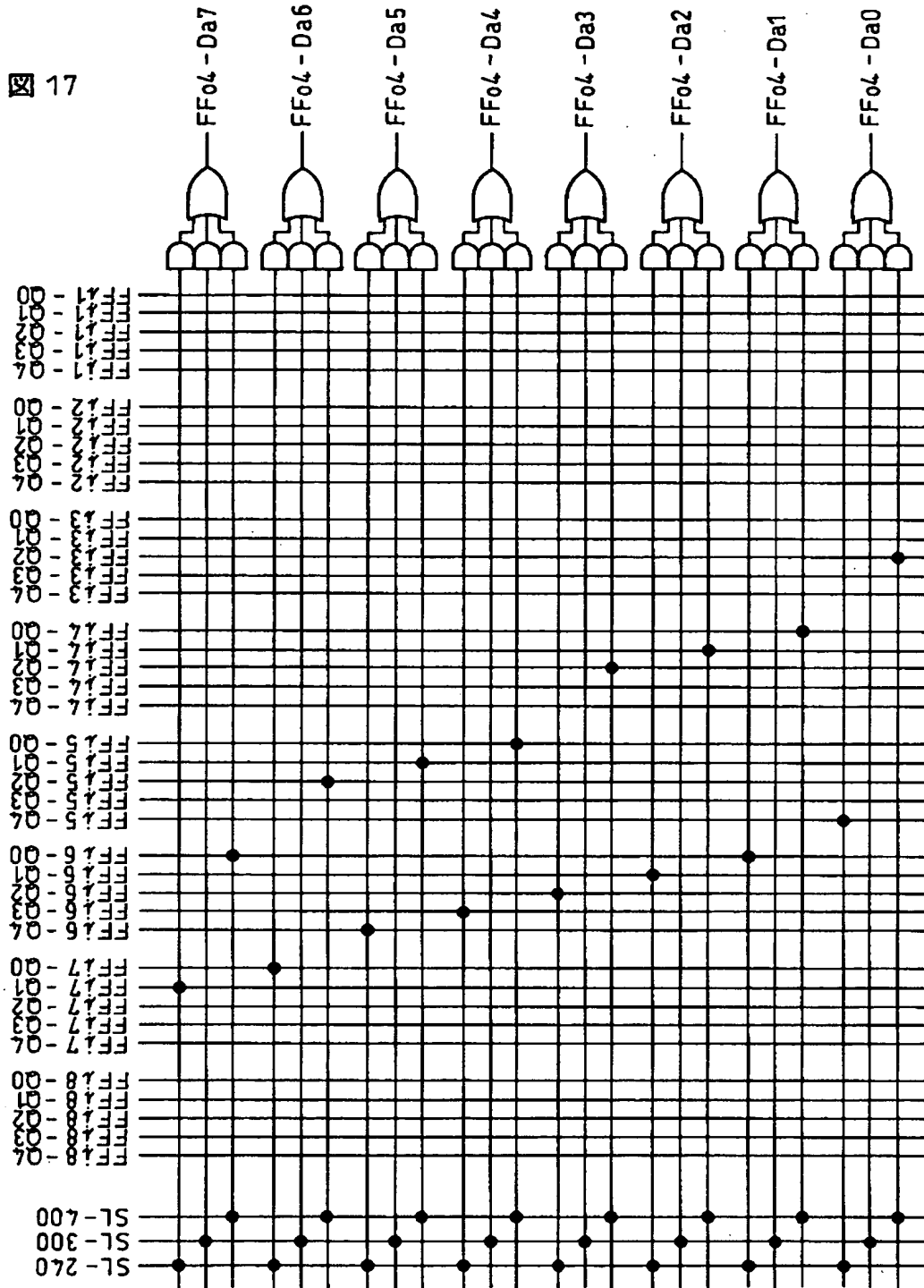
出力端子 (接続先)	FFo4							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	FFi6 -Q0	FFi5 -Q2	FFi5 -Q1	FFi5 -Q0	FFi4 -Q2	FFi4 -Q1	FFi4 -Q0	FFi3 -Q2

出力端子 (接続先)	FFo5							
	-Da7	-Da6	-Da5	-Da4	-Da3	-Da2	-Da1	-Da0
出力信号	FFi8 -Q2	FFi8 -Q1	FFi8 -Q0	FFi7 -Q2	FFi7 -Q1	FFi7 -Q0	FFi6 -Q2	FFi6 -Q1

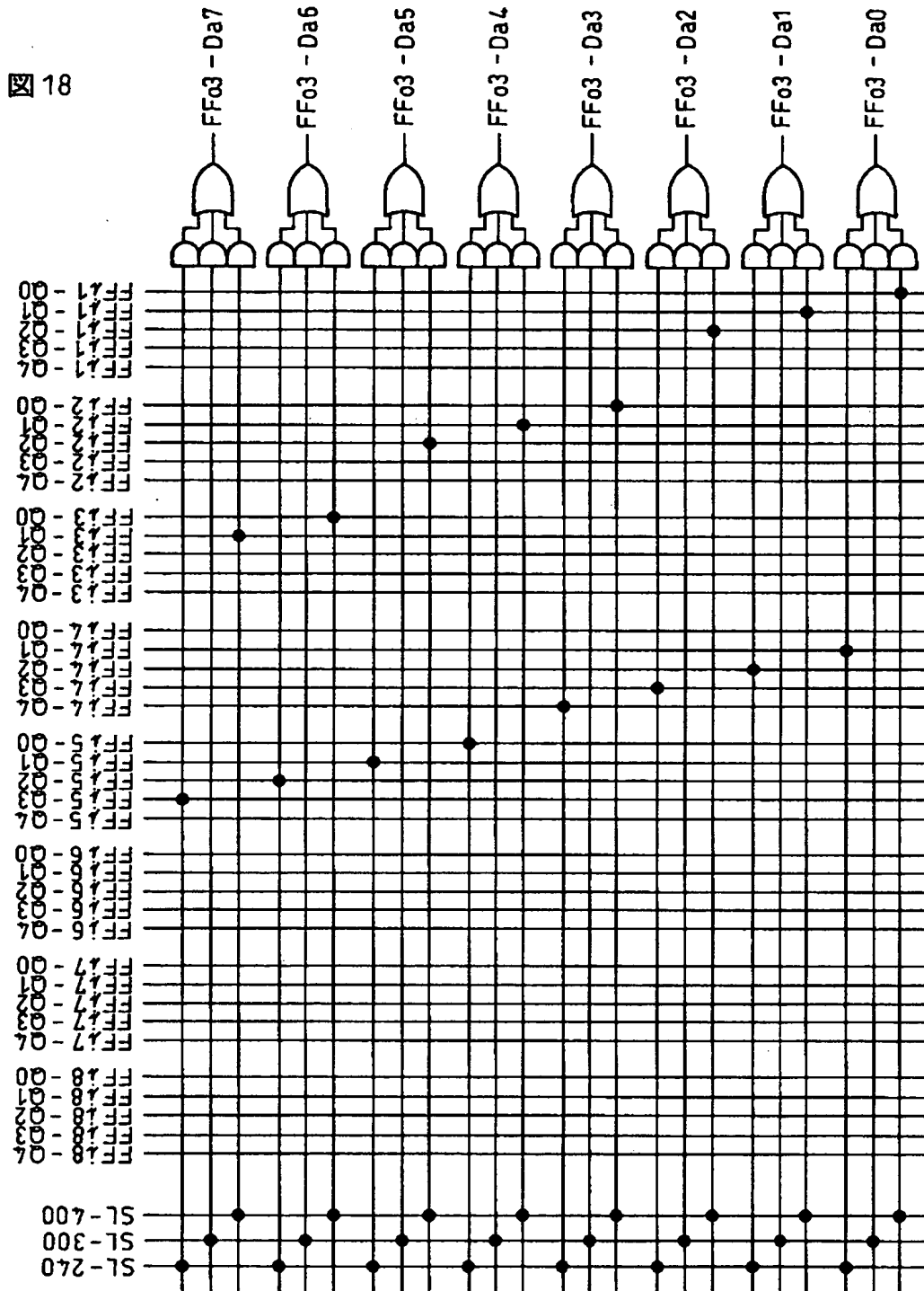
【図 1 6】



【図 17】

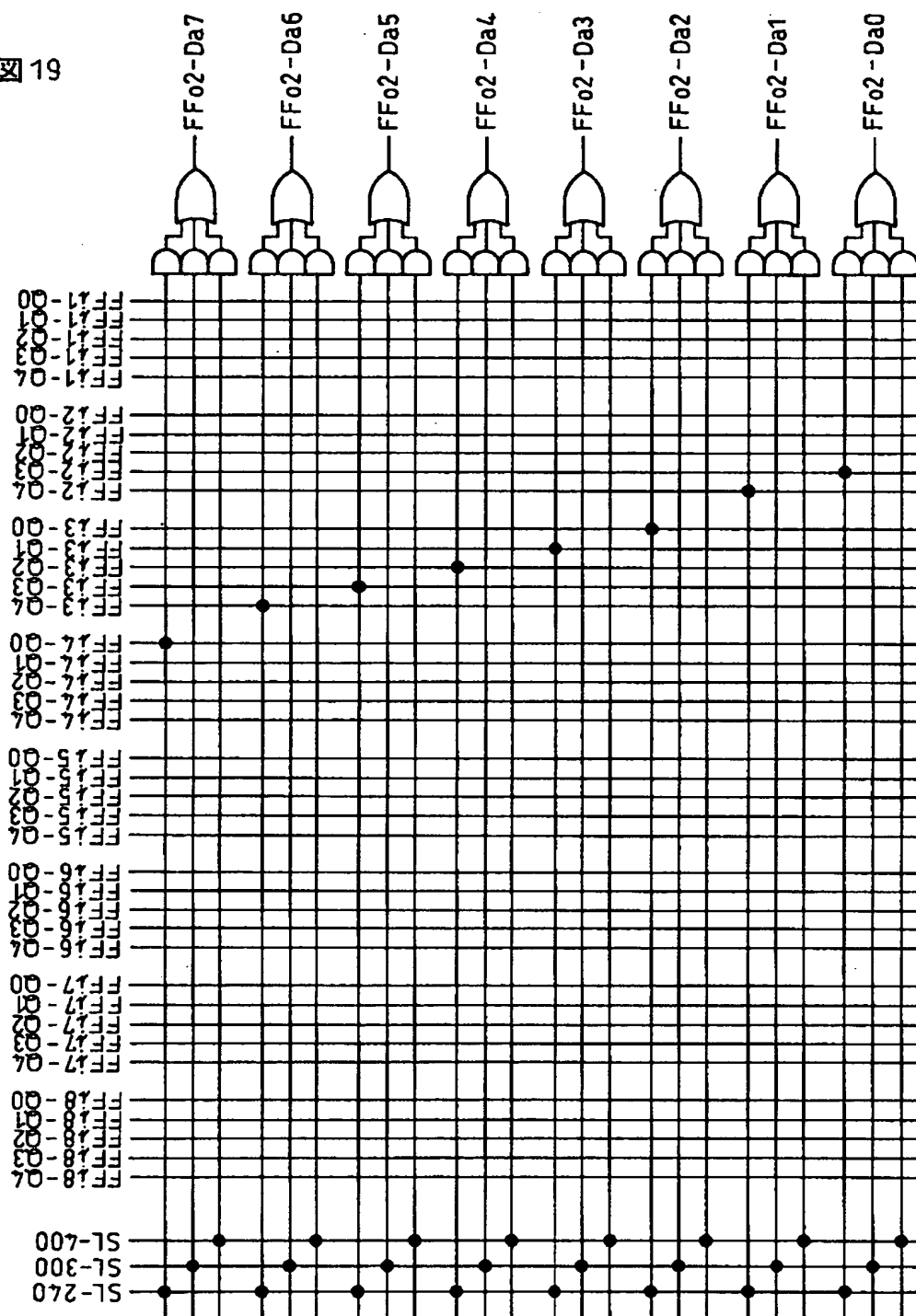


【図 18】

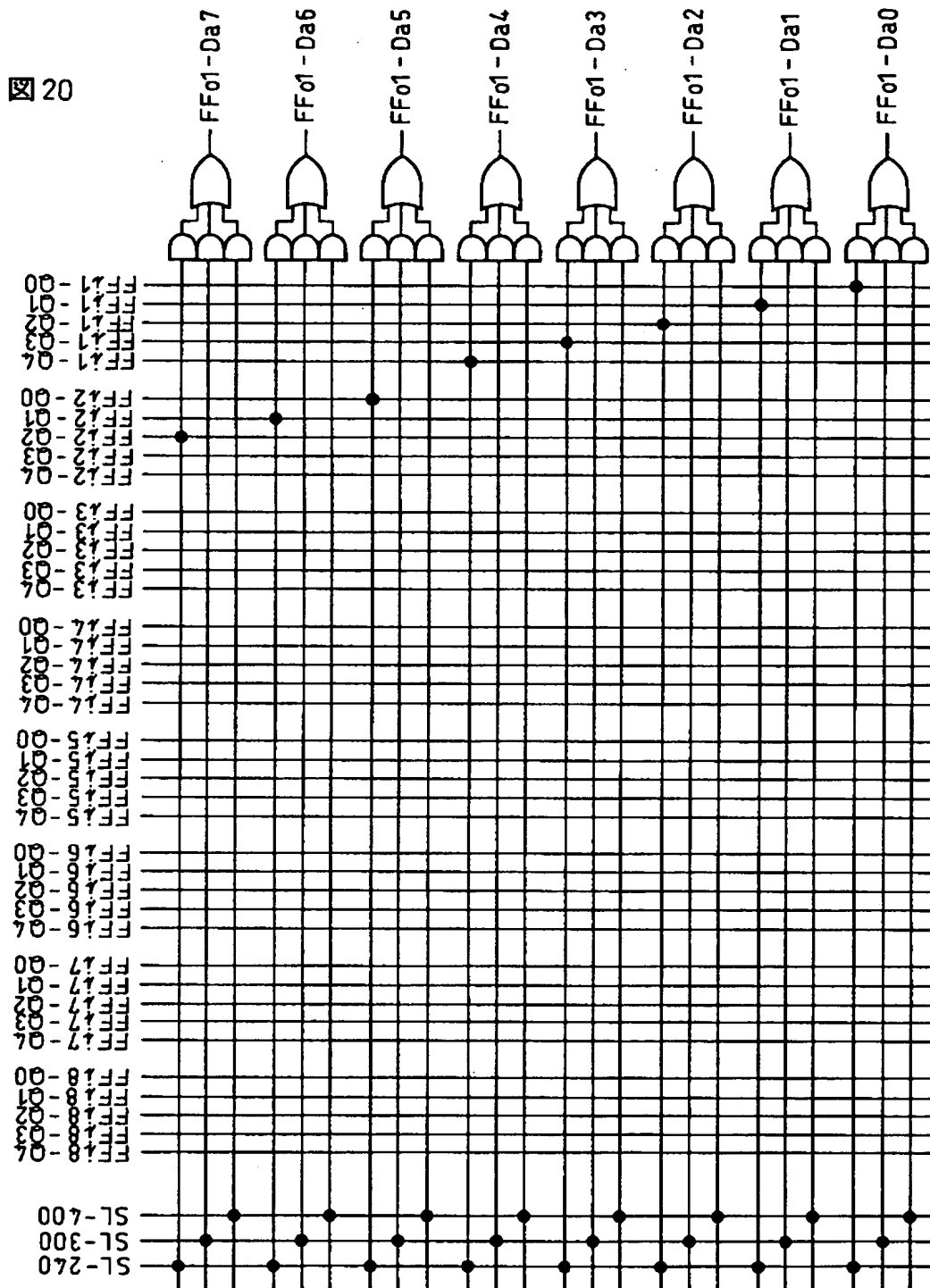


【图 19】

图 19

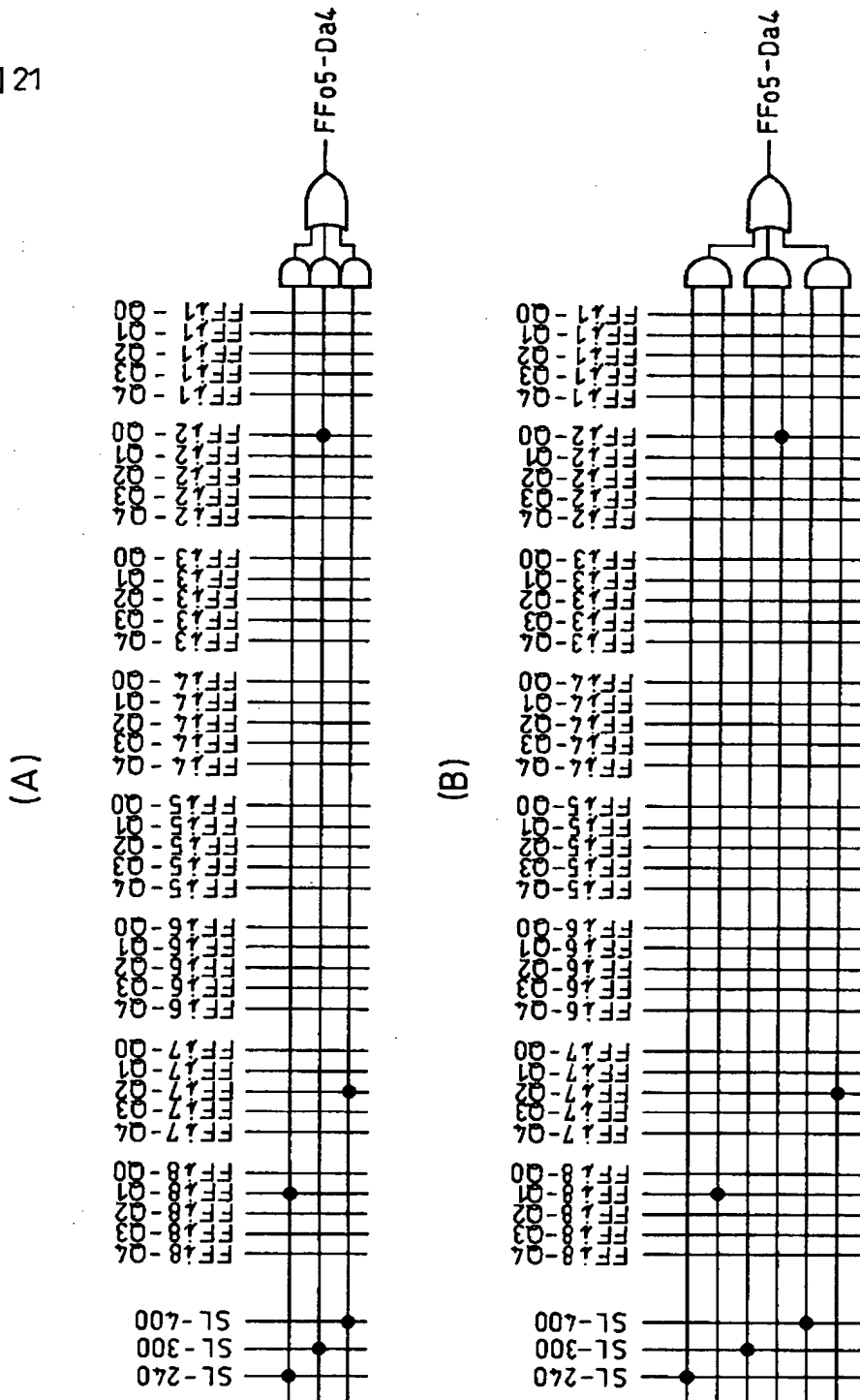


【図 2 0】



【図 2 1】

图 21



【書類名】 要約書

【要約】

【課題】 複数の異なったデータ幅の入力データ列を、シリアルデータに変換することなく、所定のデータ幅の出力データ列に変換する。

【解決手段】 このデータ列変換回路は、それぞれ異なるデータ幅を有する複数の入力データ列のうち任意の入力データ列を入力し、所定のデータ幅を有する出力データ列に変換して出力するものであって、入力データ列を保持する第1の並列シフトレジスタ72と、前記第1の並列シフトレジスタによって保持されるデータを入力し、予め定められた複数の規則の中から制御信号により選択された規則に従って該入力データを分配出力するスイッチマトリックス74と、前記スイッチマトリックスから出力されるデータを入力し、所定のデータ幅を有するデータ列として出力する第2の並列シフトレジスタ76と、を具備する。

【選択図】 図9

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社